

2025 International Solid-State Circuits Conference

(ISSCC) Review

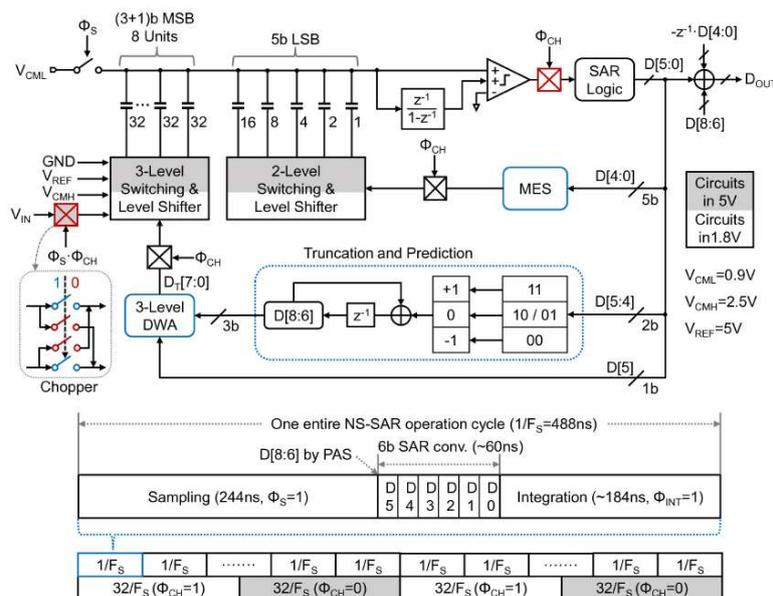
승실대학교 전자정보공학부 황영하 교수

Topic : Data Converter

ISSCC 2025의 Session 18은 Noise-Shaping (NS) and SAR-Based ADCs 라는 주제로 NS SAR ADC 2편, DSM 1편, NS Pipelined ADC 2편, Pipelined ADC 2편 및 극저온 SAR ADC 1편의 논문을 포함하여 총 8편의 논문이 발표되었다. Session 24는 High-Frequency ADCs를 주제로 Time-domain ADC 2편, Pipelined 및 TI Pipelined ADC 5편, TI SAR ADC 1편을 포함하여 총 8편의 논문이 발표되었다.

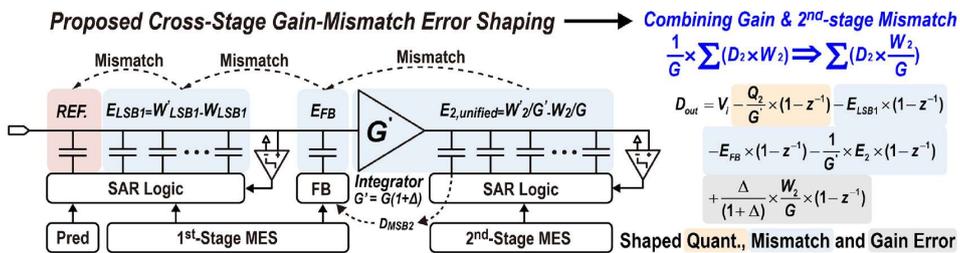
Session 18 : Noise-Shaping and SAR-Based ADCs

#18-1 중국 UESTC 대학에서 1 kHz BW 기준 189 dB의 높은 Schreier FoM을 갖는 Fully dynamic NS SAR ADC 구조를 제안하였다. 전체 구조는 1차 NS, 8-bit Capacitive DAC (CDAC)에 1차 mismatch error shaping (MES), OSR = 1000 으로 정하여 CDAC mismatch 가 있어도 125 dB 이상의 SNDR, -134 dB 이하의 THD를 달성할 수 있도록 설계하였다. CDAC는 3-level switching에 predict and skip scheme을 적용하여 2-level switching을 쓴 경우와 비교하여 평균 switching energy를 절반으로 줄였으며, CDAC mismatch로 인한 nonlinearity error를 줄이기 위해서 3-bit MSB DWA와 5-bit LSB MES [1]를 결합하였다. 또한 system-level chopping을 적용하여 Vcm error로 인한 in-band even harmonic tone들과 offset 및 1/f noise의 영향을 줄였다. 1차 NS loop에는 floating inverter amplifier 기반 integrator 를 적용하여 fully dynamic operation을 달성하였다. Input sampling switch는 5V 소자를 사용하여 differential input swing 범위를 +/-4.7 V로 크게 설계하였다. 이러한 기법들을 바탕으로 180nm 공정에서 제작하여 1 kHz BW에서 120 dB SNDR을 달성하였으며, 189 dB의 높은 Schreier FoM을 기록하였다.

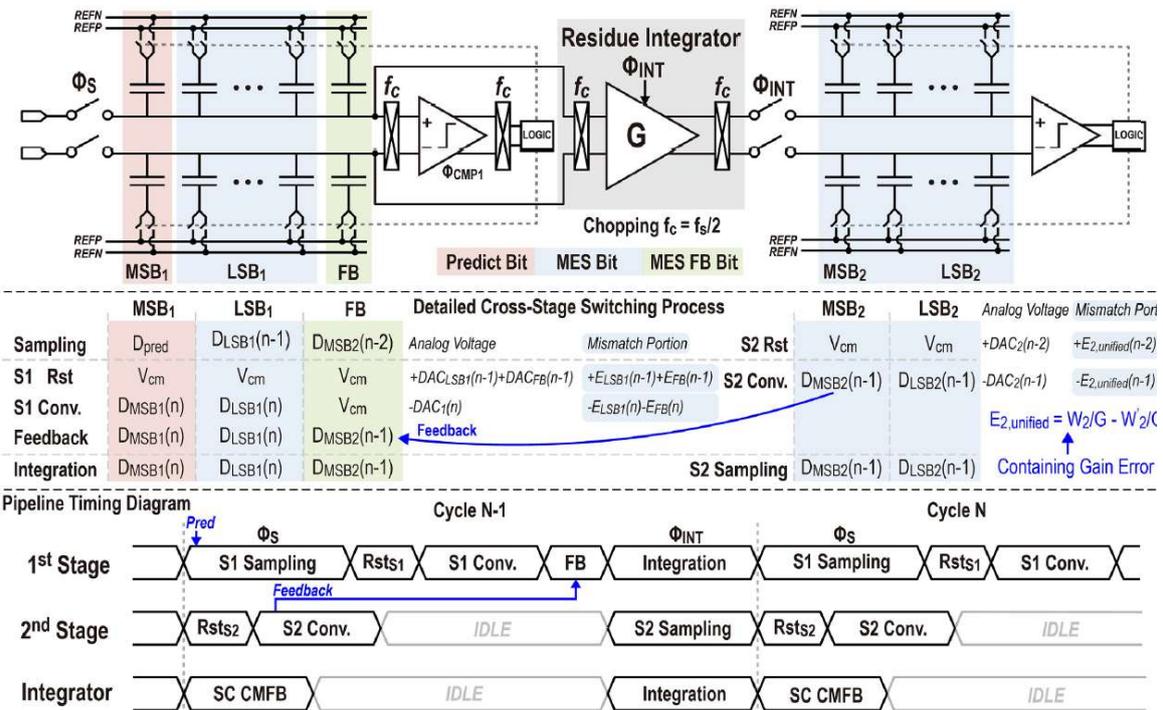


[그림 1] 논문 18.1에서 제안하는 Fully Dynamic SAR ADC 구조 및 동작

#18-3 중국 북경대에서 Calibration 없이 93.3 dB의 높은 SNDR를 갖는 NS Pipelined-SAR ADC 구조를 발표하였다. Conventional pipelined-SAR 구조의 경우 CDAC mismatch와 residue amplifier의 gain error로 인해 선형성이 저하되는 문제가 있는데, 제안하는 cross-stage gain-mismatch error shaping (GMES) 기법은 gain과 mismatch error를 통합하여 같이 1st-order error shaping 하는 방식으로 이러한 문제를 해결하였다. 기존 MES 기법은 이전 bit로 CDAC을 preset 했다가 리셋하기 때문에 입력 신호 범위가 감소하는 단점이 있는데, 제안하는 구조에서는 입력 신호 sampling 할 때 comparator로 MSB 1 bit을 미리 prediction 및 level shifting 하여 입력 신호 범위가 줄어드는 것을 보상하였다. 또한 현재의 입력 전압을 증폭하여 voltage를 drive하는 residue amplifier 대신에 이전의 residue 전압을 누적하는 integrator 구조를 적용함으로써 1st-order quantization noise shaping을 구현하였다. 이러한 기법들을 바탕으로 55nm 공정에서 설계하여 calibration 없이도 93.3 dB의 높은 SNDR 및 156.25 kHz BW에서 180.4 dB의 Schreier FoM을 달성하면서 넓은 범위의 inter-stage gain error tolerance (-33%~+50%)를 확보하였다.

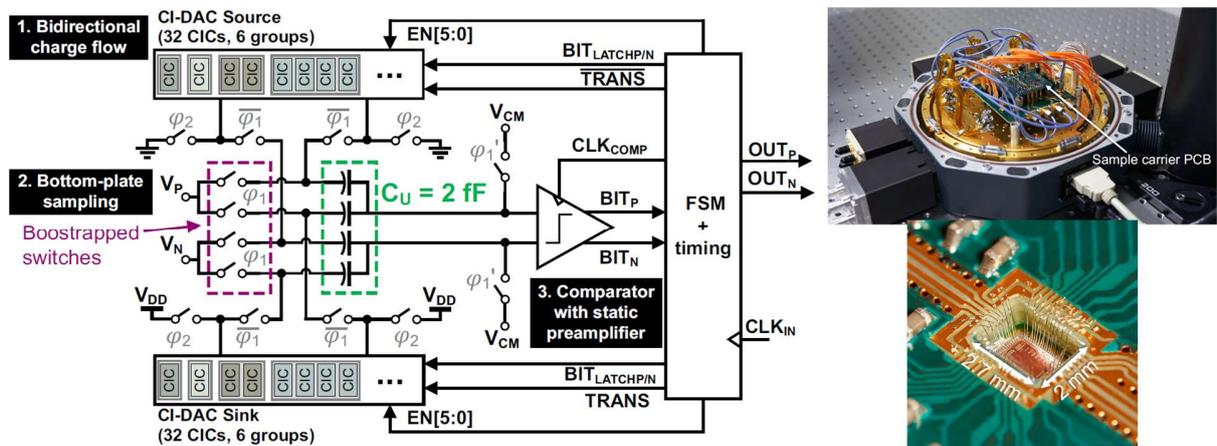


[그림 2] 논문 18.3에서 제안하는 cross-stage gain-mismatch error shaping 기법의 동작 원리



[그림 3] 논문 18.3에서 제안하는 Calibration-Free Pipelined SAR ADC 구조 및 timing diagram

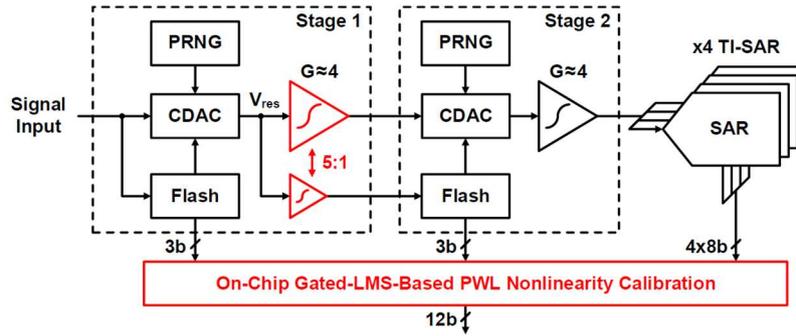
#18-8 벨기에 KU Leuven 대학에서 40.7 dB의 SNDR를 갖는 극저온 charge injection (CI) SAR ADC를 발표하였다. 양자 얽힘 현상 구현을 위해 극저온 환경을 요하는 qubit의 readout 회로가 target application이며, 냉동고 cooling capacity를 고려하여 ADC 및 ADC driver 전력 소모를 최소화할 수 있도록 medium-resolution SAR ADC의 input capacitance를 4 fF 수준으로 크게 줄일 수 있는 CI SAR 구조를 채택하였다. 기존 CI SAR 구조 [2]의 단점인 DAC common-mode voltage의 단조감소를 sinking 과 sourcing 모두 할 수 있는 complementary CI DAC를 적용하여 common-mode voltage가 일정하게 유지될 수 있도록 하였다. 또한 comparator kickback을 줄이기 위해 continuous-time preamplifier를 적용하였다. 이러한 기법들을 바탕으로 40nm 공정에서 제작하여 6.5K의 극저온에서도 40.7 dB의 SNDR를 달성하였고, 극저온에서 CI cell의 mismatch가 7-bit 해상도를 달성하는 데에는 무리가 없음을 보여주었다.



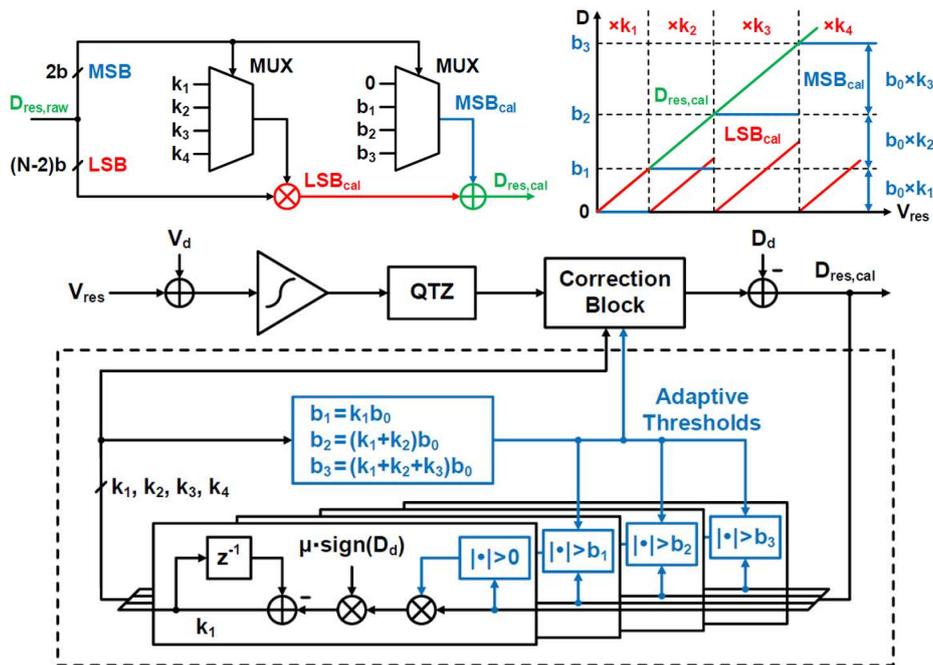
[그림 4] 논문 18.8에서 제안하는 극저온 CI SAR ADC 구조 및 측정 환경

Session 24 : High-Frequency ADCs

#24-1 중국 칭화대에서 single channel로 12b, 3 GS/s를 달성할 수 있는 pipelined ADC 구조를 제안하였다. Residue amplifier의 nonlinearity를 on-chip으로 구현된 hardware만으로 background calibration 하면서도 15.2 fJ/conv-step의 Walden FoM을 달성하였다. 전체 구조는 [그림 5]와 같이 3-stage이며, 두 개의 pipeline stage와 마지막 8b, 4-way TI SAR ADC를 backend로 구성되어 있다. 기존에 polynomial 기반으로 nonlinearity background calibration 하는 방식은 on-chip으로 구현하기에 복잡하므로, 입력전압 구간을 나누어 구간에 따라 piecewise-linear (PWL)하게 calibration 하는 방식을 제안하였다. 각 구간에 대해서 Residue 입력에 analog dither injection, Quantizer 출력에 digital dither subtraction 할 때 그 차이에 해당하는 gain error를 LMS 알고리즘으로 최소화하는 원리이며, [그림 6]과 같이 LSB에 해당하는 optimal gain ($k_1 \sim k_4$) 중 k_1 은 LMS filter를 통해 항상 업데이트하고, $k_2 \sim k_4$ 는 각 범위에서 MSB의 gain ($b_1 \sim b_3$)보다 커질 때에만 LMS filter를 통해 업데이트하는 adaptive threshold 방식이다. 이 때 MSB의 gain ($b_1 \sim b_3$)은 $k_1 \sim k_4$ 로 정해지고, stage 1과 2에 이러한 PWL nonlinearity calibration을 적용한다. 이러한 기법들을 바탕으로 28nm 공정에서 제작하여 single channel 기준 3 GS/s, 58.8 dB SNDR를 달성하였다. 최적의 PWL coefficient 및 SNDR은 대략 3ms 안에 수렴하며 +/-5%의 supply variation, -40~85°C의 온도 범위에서 SNDR 저하가 1.3 dB 이하로 유지할 수 있다.



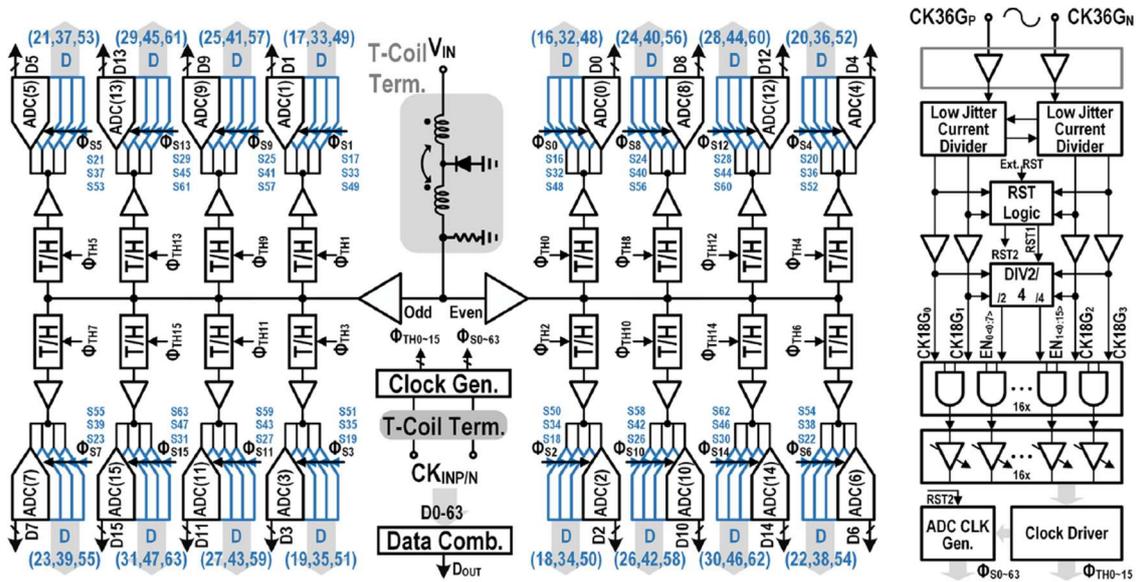
[그림 5] 논문 24.1에서 제안하는 Pipelined ADC 전체 구조



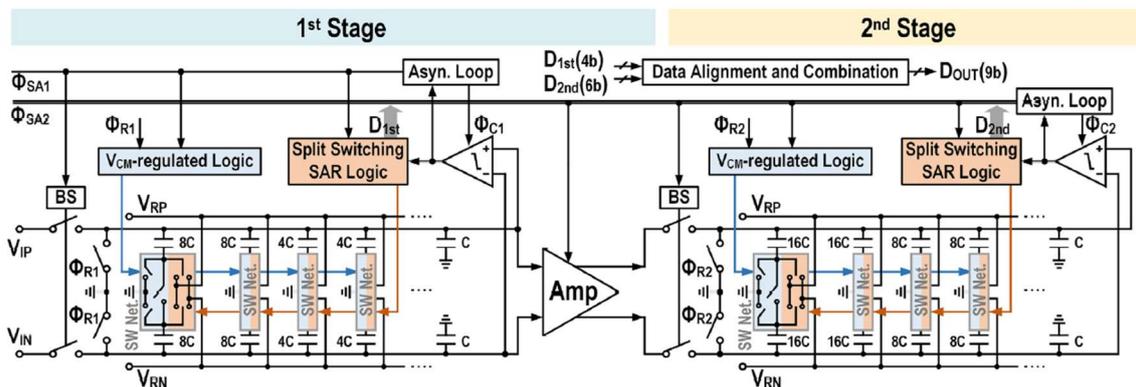
[그림 6] 논문 24.1에서 제안하는 residue amplifier의 nonlinearity background calibration 방식

#24-5 중국 마카오 대학에서 72 GS/s, 9b, 64-way TI pipelined SAR ADC 를 제안하였다. ISSCC 2024 에서 발표된 논문들 [3], [4]과 비교하면 sampling rate 이 높지는 않지만 20GHz input 에서 41.0dB SNDR, 55.3dB SFDR 을 달성하여 선형성을 보다 향상시킨 구조이다. 전체 구조는 [그림 7]과 같이 T-coil 및 두 개의 입력 버퍼로 각각 even/odd 8 채널을 drive 하고, 각 채널에서 sample 된 신호가 sub-buffer 를 거쳐 1.125 GS/s 로 동작하는 4 개의 pipelined SAR ADC 로 전달되는 구조이다. 입력 버퍼의 경우 conventional source follower (SF)의 단점인 1 보다 작은 gain, slewing 및 선형성 한계를 common-source (CS) 를 추가하여 보상하였다. Bandwidth mismatch 의 주된 원인인 switch mismatch 로 인한 SFDR 저하를 줄이기 위해 bootstrapped switch (BS)를 사용하되, critical node 의 load cap 을 줄일 수 있는 split-path BS 구조를 제안하여 track time 을 줄였다. Unit pipelined SAR ADC 구조는 [그림 8]과 같고, 첫 번째와 두 번째 stage 에서 각각 4bit, 6bit 를 resolve 하고 1-bit redundancy 를 가지는 구조이다. Residue amplifier 의 경우 저항의 비율로 gain 이 정해지는 ratiometric 구조를 사용하였다. 이러한 기법들을 바탕으로 16nm

FinFET 공정에서 제작되어 72 GS/s, 20GHz input 기준 41.9 dB SNDR, 55.3 dB SFDR, 53.7 fJ/c.-s Walden FoM, 151.5 dB Schreier FoM 을 달성하였다.

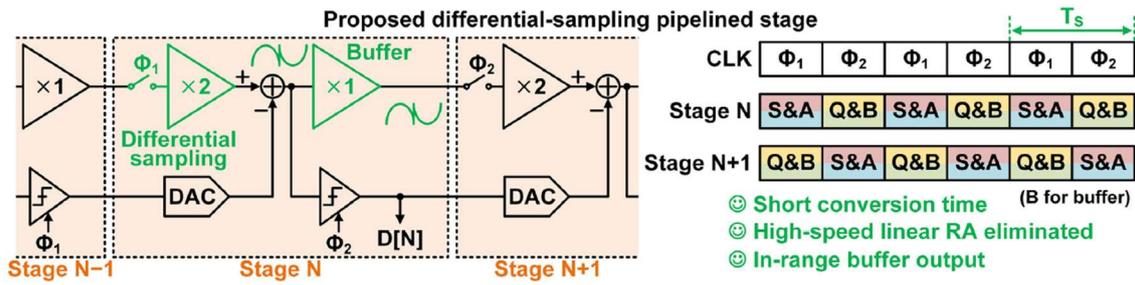


[그림 7] 논문 24.5에서 제안하는 전체 TI pipelined SAR ADC 구조

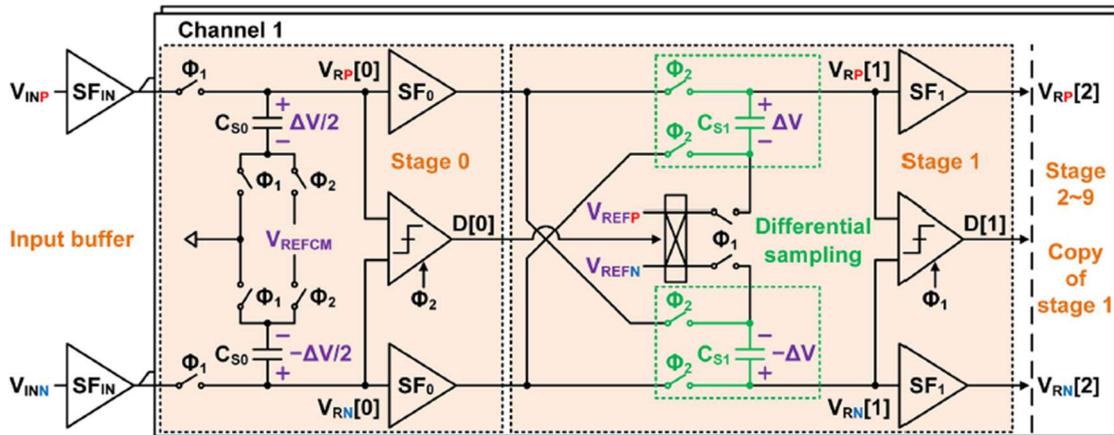


[그림 8] 논문 24.5에서 제안하는 Unit pipelined SAR ADC 구조

#24-7 중국 칭화대에서 8b, 10 GS/s 2X-TI pipelined ADC 구조를 제안하였다. 기존 conventional pipelined ADC의 경우 하나의 stage 내 동작이 sampling, quantization, amplification 3단계로 구성 되고 고속의 linear residue amplifier (RA)가 필요하다는 단점이 있다. 제안하는 Pipeline ADC의 구조는 [그림 9]과 같이 sampling & amplification, quantization & residue buffering 2단계로 동작하여 conversion time을 줄일 수 있고, [그림 10]과 같이 RA 대신 differential sampling으로 2X passive amplification을 구현하여 power efficiency를 높였다. Buffer는 source follower (SF)로 구현 하였는데 input transistor의 overdrive voltage를 크게 설계하여 별도의 switch 없이도 power gating할 수 있는 방식으로 differential sampling을 하고 있는 stage들의 SF 전력 소모를 저감하였다. 이러한 기법들을 바탕으로 28nm 공정에서 구현하여 41.7 dB의 SNDR, 2 channel로 10 GS/s, 22.0 fJ/conv-step의 Walden FoM를 달성하였다.



[그림 9] 논문 24.7에서 제안하는 pipelined ADC 구조 및 동작 원리



[그림 10] 논문 24.7에서 제안하는 pipelined ADC 회로 구현

참고문헌

- [1] Y. -S. Shu, L. -T. Kuo, and T. -Y. Lo, "An Oversampling SAR ADC With DAC Mismatch Error Shaping Achieving 105 dB SFDR and 101 dB SNDR Over 1 kHz BW in 55 nm CMOS," IEEE Journal of Solid-State Circuits, vol. 51, no. 12, pp. 2928-2940, Dec. 2016.
- [2] K. D. Choo, J. Bell, and M. P. Flynn, "Area-efficient 1GS/s 6b SAR ADC with charge-injection-cell-based DAC," ISSCC, pp. 460-461, Feb. 2016.
- [3] G. Li et al., "A 600Gb/s DP-QAM64 Coherent Optical Transceiver Frontend with 4x105GS/s 8b ADC/DAC in 16nm CMOS," ISSCC, pp. 338-340, Feb. 2024.
- [4] R. L. Nguyen et al., "A 200GS/s 8b 20fJ/c-s Receiver with >60GHz AFE Bandwidth for 800Gb/s Optical Coherent Communications in 5nm FinFET," pp. 344 346, Feb. 2024.

저자정보



황영하 교수

- 소 속 : 송실대학교 전자정보공학부
 - 연구분야 : 데이터변환기 및 집적시스템 설계
 - 이 메 일 : youngha@ssu.ac.kr
 - 홈페이지 : <https://aidl.ssu.ac.kr>
-